

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

⑫ 公開特許公報(A)

昭62-242354

⑤ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)10月22日

H 01 L 27/06
29/72
29/783 2 1
3 0 17735-5F
8526-5F
Z-8422-5F

審査請求 有 発明の数 1 (全 17 頁)

⑭ 発明の名称 集積回路の製造方法

⑯ 特 願 昭62-70515

⑰ 出 願 昭62(1987)3月26日

優先権主張 ⑱ 1986年3月26日 ⑲ オランダ(NL) ⑳ 8600770

⑳ 発 明 者 ウィルヘルムス・ヤコ オランダ国5621 ベーアー アインドーフエン フルーネ
ブス・マリア・ヨセ バウツウエツハ1
フ・ヨスクイン㉑ 出 願 人 エヌ・ペー・フィリツ オランダ国5621 ベーアー アインドーフエン フルーネ
ブス・フルーイランベ バウツウエツハ1
ンフアブリケン

㉒ 代 理 人 弁理士 杉村 暁秀 外1名

明 細 書

1. 発明の名称 集積回路の製造方法

2. 特許請求の範囲

1. 第1および第2表面領域が隣接する表面を有する半導体本体を具える集積回路であって、前記の第1表面領域は第1導電型であって絶縁ゲートと第2導電型のソースおよびドレイン領域とを有する少なくとも1個の電界効果トランジスタを設けるためのものであり、前記第2表面領域は、前記の表面に隣接しこの表面の第1表面部分を占める第1電極領域と、前記の第1表面部分内で前記表面に隣接し前記の第1電極領域の導電型とは逆の導電型を有する第2電極領域とを有する1個の回路素子を設けるためのものである集積回路の製造方法であって、前記の第1電極領域の少なくとも一部分の上方で、既に存在する第1絶縁層上に導電材料のパターンを電界効果トランジスタのゲート電極と同時に設け、このパターンにより、前記の第2電極領域に対するド

ーバントを設けるための第1ドーピング処理に用いるべき第1開口の縁部の少なくとも第1部分を画成し、前記の第1ドーピング処理後、前記の第2電極領域と電界効果トランジスタの前記のソースおよびドレイン領域とに対し同時にドーバントを設け、前記パターン上および前記の第1開口内に絶縁材料より成る第2絶縁層を設け、この第2絶縁層を、第2開口を有するマスク層を用いて局部的に除去し、前記の第2電極領域の表面である第2表面部分上に位置しこの第2電極領域を電気接続する導電層を設けるようにする集積回路の製造方法において、前記の第2絶縁層を局部的に除去する工程に際し、前記の第2電極領域の上方に第2開口を位置させて前記の第1開口の縁部の前記の第1部分が少なくとも部分的にこの第2開口内に位置するようにし、前記第2絶縁層を局部的に除去するこの工程を、前記の第2の開口内に位置する前記パターンの縁部の部分に沿って位置する前記の第

- 2 絶縁層の縁部部分が前記の第1開口内で除去されるように異方性エッチングにより行い、その後前記の第2表面部分が実際に、前記の第1開口の縁部が前記の第2開口内に位置する領域でこの第1開口の縁部まで延在するように前記の導電層を設けることを特徴とする集積回路の製造方法。
2. 前記の第2電極領域を第2導電型とし、前記の第1電極領域を第1導電型として、前記の第2表面領域に位置させ前記の第1ドーピング処理を、第2導電型の第2電極領域が第1導電型の第1電極領域よりこの第1電極領域に隣接する第2導電型の第2表面領域の部分から分離されるように行う特許請求の範囲第1項記載の製造方法。
3. 電界効果トランジスタのゲートを前記の第1表面領域から分離するために、前記の第1絶縁層と同時に他の絶縁層を設ける特許請求の範囲第1または2項に記載の製造方法。
4. 前記の導電材料のパターンとして耐熱材料

3

電型とは逆の導電型を有する第2電極領域とを有する1個の回路素子を設けるためのものである集積回路の製造方法であって、前記の第1電極領域の少なくとも一部分の上方で、既に存在する第1絶縁層上に導電材料のパターンを電界効果トランジスタのゲート電極と同時に設け、このパターンにより、前記の第2電極領域に対するドーパントを設けるための第1ドーピング処理に用いるべき第1開口の縁部の少なくとも第1部分を画成し、前記の第1ドーピング処理後、前記の第2電極領域と電界効果トランジスタの前記のソースおよびドレイン領域とに対し同時にドーパントを設け、前記パターン上および前記の第1開口内に絶縁材料より成る第2絶縁層を設け、この第2絶縁層を、第2開口を有するマスク層を用いて局部的に除去し、前記の第2電極領域の表面である第2表面部分上に位置しこの第2電極領域を電気接続する導電層を設けるようにする集積回路の製造方法に関するものである。

かかる方法は、西独国特許出願公開第3023616

5

のパターンを用いる特許請求の範囲第1、2または3項のいずれか1つの項に記載の製造方法。

5. 前記導電材料のパターンとしてチタン、タンタル、モリブデン、タングステン、半導体材料およびこれらの材料の珪化物を有する群から選択した1種以上の材料をもって形成されるパターンを用いることを特徴とする特許請求の範囲第1、2または3項のいずれか1つの項に記載の製造方法。

3. 発明の詳細な説明

本発明は、第1および第2表面領域が隣接する表面を有する半導体本体を具える集積回路であって、前記の第1表面領域は第1導電型であって絶縁ゲートと第2導電型のソースおよびドレイン領域とを有する少なくとも1個の電界効果トランジスタを設けるためのものであり、前記第2表面領域は、前記の表面に隣接しこの表面の第1表面部分を占める第1電極領域と、前記の第1表面部分内で前記の表面に隣接し前記の第1電極領域の導

4

号明細書(DE-A)から知られており、これは1981年1月22日に出願公開されている。この場合、電界効果トランジスタ以外にラテラルバイポーラトランジスタが作成され、これのベース領域は第1電極領域を構成しエミッタ領域は第2の電極領域を構成する一方で、エミッタ領域とコレクタ領域の間に位置するベース領域部分は導電パターンで被覆され、絶縁層上に配置され、環状のエミッタ領域を包囲しエミッタ領域の電気接続に接続され得る。導電パターンはベース領域部分の下の表面における電荷キャリアの再結合を減ずることを提供する。バイポーラトランジスタはこのようにエミッタ領域およびコレクタ領域の電気接続が比較的小さな相対距離で設けられ得るそれにも拘らず導電層が上記ベース領域部分の上方に同時に作成され得るように製造される。エミッタおよび/またはコレクタ接続は、ベース領域の上方に配置された導電パターンに重なることができるという事実のために、この構造で面積を節約することができる。

6

本発明の目的は、特に、電界効果トランジスタと、バイポーラ回路素子、更に特に、バイポーラトランジスタを具えた集積回路の製造に際して比較的小さな電極領域をこれらバイポーラ回路素子に使用することができる方法を提供することにある。

バイポーラ回路素子における比較的小さな電極領域を形成する既知方法において、絶縁層の開口を、半導体本体の関連する小さな電極領域にドーパントを提供するためのドーピング開口として先ず使用し、次いで、この電極領域に電気接続を接続するための接点開口として同様に使用し、これを導電層の形態でこの電極領域に設ける。この場合、ドーピング開口に関する通常の整列誤差は接点開口の提供を考慮する必要がない。この方法は、例えば、いわゆる「ウォッシュアウト (Washed-out)」エミッタに使用される。

電界効果トランジスタから成る集積回路の製造に最も頻繁に使用する方法において、ゲート電極は、ソースおよびドレイン領域のためのバーバン

トが供給された場合、マスクとして使用される。上記加工工程において、接点開口は、マスクによりソースおよびドレイン領域の上方に設けられる。また、これら集積回路が、ソースおよびドレイン領域を同時に具える電極領域を有するバイポーラ回路素子を同様に包含する場合、この回路素子において、接点開口のためのバターンは関連する電極領域に関して整列されなければならない。従って、「ウォッシュアウト」エミッタとともに使用される上述の方法は、この工程で使用するのに適していない。

「ウォッシュアウト」エミッタとともに使用される記載した方法の他の欠点は、集積回路の寸法が小さくなり結果として電極領域が狭くなるので、関連する電極領域を制御するpn接合が、電極領域の電気接続によって接点開口内で短絡するという危険が増大することである。かかる短絡を、特に、ドーピング開口が、ドーピング処理後、電気接続の形成以前に消滅にされるという事実ためであるとすることができる。また、ドーピング開口の縁

7

部が、この消滅または消滅工程に際してわずかにエッチングされることは実際回避し易いことである。

本発明の目的は、また特に、比較的小さな電極領域の使用に関連する上述の欠点を少なくとも考慮できる範囲まで回避することにある。

これは、また、方法において、バイポーラ回路素子、例えば、バイポーラトランジスタのソースおよびドレイン領域を設ける工程に際してゲート電極を通常の方法でマスクとして使用し、所要に応じて、接点開口を設けることに関する整列誤差を実際に除去することが可能であるという事実の認識に基づく。

本発明において、序文に記載した種類の方法は、前記の第2絶縁層を局部的に除去する工程に際し、前記の第2電極領域の上方に第2開口を位置させて前記の第1開口の縁部の前記の第1部分が少なくとも部分的にこの第2開口内に位置するようにし、前記第2絶縁層を局部的に除去するこの工程を、前記の第2の開口内に位置する前記バターン

8

の縁部の部分に沿って位置する前記の第2絶縁層の縁部部分が前記の第1開口内で除去されるように異方性エッチングにより行い、その後前記の第2表面部分が実際に、前記の第1開口の縁部が前記の第2開口内に位置する領域でこの第1開口の縁部まで延在するように前記の導電層を設けることを特徴とする。

本発明の方法において、第1の電界効果トランジスタのゲート電極を形成すると同じ加工工程で、第1電極領域から絶縁層により分離される導電バターンを、主にバイポーラ回路素子である他の回路素子に設ける。所要に応じて、この導電バターンを、第2電極領域を設けるためのドーピング開口の境界の部分または全体を画成するのに使用する。ドーピング処理を行った後に、第2電極領域のための接点開口を、バターンにより画成されるドーピング開口の境界から派生させ、この場合、配置した絶縁層の縁部部分を上記境界に沿って致すような方法の異方性エッチングによってこの絶縁層を局部的に除去する。従って、即ち、接点開

9

10

口をドーピング開口から派生させるという事実のために、この接点開口に関して、ドーピング開口に関する整列誤差を考慮しなければならないことを回避する。更に、接点開口がドーピング開口より小さいことが利点を生ずる。結果として、第2電極領域のための導電層を設ける場合、著しく浅い深さに位置するpn接合が同様に適切に表面安定化される。

第2表面部分が第1開口の縁部まで実際に延在するだけ、元の場所の接点開口はドーピング開口と実際に同じ大きさである。「実際に同じ大きさ」と称するは、通常の整列誤差を考慮することなく、接点開口がドーピング開口の縁部の関連部分から元の場所に派生していることを示すものである。

本発明の方法の特定の好適例において、前記の第2電極領域を第2導電型とし、前記の第1電極領域を第1導電型として、前記の第2表面領域に位置させ前記の第1ドーピング処理を、第2導電型の第2電極領域が第1導電型の第1電極領域よりこの第1電極領域に隣接する第2導電型の第2

表面領域の部分から分離されるように行う。このようにして得た構造は垂直に構成したバイポーラトランジスタを他の回路素子として構成することができる。

好都合なことに、第1絶縁層は他の絶縁層を同時に具え、これらの層に第1表面領域から電界効果トランジスタのゲート電極を分離させんとする。この方法において、第1絶縁層を、集積回路の製造に際して必要とする付加的な加工工程なしで得ることができる。

本発明の方法の他の好適例は、耐熱材料のパターンを導電パターンとして使用することを特徴とする。

好ましくは、導電パターンは、チタン、タンタル、タングステン、モリブデン、半導体材料およびこれら材料の珪化物を有する群から選択した1種以上の物質から形成される。

さらに、本発明は、本発明の方法によって製造した半導体装置に関するものである。

本発明を図面を参照しつつ実施例により更に詳

11

細に説明する。

図示する例は、絶縁ゲートを有する電界効果トランジスタ（このトランジスタはn型チャネルまたはp型チャネルを有することができる）およびパーティカル構造を有する1個以上のバイポーラトランジスタを具えた集積回路である。明瞭にするために、第1A、B〜6A、B図夫々にn型チャネルを有する電界効果トランジスタおよびパーティカルnpnトランジスタのみを示し、各々の場合、図を2個の部分AとBに分け、それらは同じ共通の半導体本体1の種々の部分を示す。A部分はバイポーラトランジスタ、B部分は電界効果トランジスタに関するものである。

第1A、B図は半導体本体1を示し、この半導体本体は例えば、p型の珪素基板または基板領域2を有し、通常の方法で設けた適切に選定したドーピング濃度分布を有する1個以上のn型表面領域32を具える。表面領域32は、例えば、イオン注入により得ることができるが、所望に応じて、まずドーピングの一部を基板に施し、しかる後p型

13

12

のエピタキシャル層を成長させることができ、次いで、図示せぬエピタキシャル層において、半導体本体1の表面5を介して更に他のドーピングを施すことができる。

n型表面領域32以外に、基板2のp型表面領域31のドーピング濃度分布を、例えば通常の方法でイオン注入により、形成すべき回路素子および所望の電気的性質に应用することができる。

更に、半導体本体1に通常の方法で、深い接点領域8、p型チャネルストッパ領域33およびフィールド絶縁体6のパターンを設けることができる。後者のパターンを例えば、半導体本体の局所的な酸化により得ることができる。この場合、パターンは酸化珪素から成る。フィールド絶縁体の他の従来の形態は例えば、充填された溝であり、これも同様に使用できる。フィールド絶縁体6はトランジスタが形成されるべき活性領域を表面5において限定する。例えば、半導体本体1は絶縁ゲート電極およびp型チャネルを有する1個以上の電界効果トランジスタを従来の方法で適用せん

14

とする1個以上のn型表面領域32を有することができる(図示せず)。電界効果トランジスタを適応せんとする表面領域32では、深い接点領域8を省略することができる。

活性領域において表面5は絶縁層34を具え、この層は電界効果トランジスタのゲート電極用の誘電体層として使用するのに適する。例えば、層34は半導体本体1の熱酸化により得られる。層34の厚さは、例えば、25~50nmとすることができる。次いで、フォトリソマスク(図示せず)によって、p型ベース領域9(第1電極領域)のためのドーパントを表面領域32の一部分にイオン注入する。

好ましいドーパントは、例えば、約 1×10^{14} 個の原子/cm²である。イオン注入エネルギーは、例えば、約30keVである。ベース領域9は表面5の第1部分10(5)を占める。次いで、例えば、多結晶質または非晶質珪素またはチタン、タングステン、モリブデンまたはタングステンの導電層を設ける。導電層として珪素層を使用する場合には、この層

を堆積中またはその後、通常の方法で例えば、 PH_3 によってドーブすることができる。

かかる珪素層の厚さは、例えば500nmである。また、この層からゲート電極35以外の導電材料のパターン11を形成し、該パターンはすでに存在する第1絶縁層34上でベース領域9の上方に配置する。パターン11は、開口12'の縁部36、37の少なくとも第1部分36を画成する(第2A、Bも参照のこと)。開口12'の縁部36、37の残りの部分37は、例えば、フィールド絶縁体6のパターンの縁部の部分と実際に一致する。開口12'はパターン11によって同様に全体として画成される。この場合、パターン11は、例えば、環状または少なくとも閉図形であり、縁部36はベース領域9の上方のフィールド絶縁体6のパターンの縁部に包囲され且つ縁部からある一定の距離に位置する。

本例において、パターン11はまた他の開口40'の縁部38、39の部分38を画成し、該開口は開口12'以外の第1表面部分10(5)の上方に配置する。この縁部38、39の残りの部分39はフィールド絶

1 5

縁体6のパターンの縁部の一部分と実際に一致する。

他の絶縁層を導電層上に設け、次いでこの層を導電層で同時にパターン化する場合、ゲート電極35およびパターン11は上側部で絶縁層で被覆される(図示せず)。この絶縁層は、例えば、窒化珪素または酸化珪素から成ることができる。

ゲート電極35およびパターン11を得た後、電界効果トランジスタのソースおよびドレイン領域41および42のためのドーピングを好ましくは表面領域31に局部的に施す(第3A、B図)。例えば、濃度を約 1×10^{17} 1/cm²のドーパントおよび約60keVのイオン注入エネルギーでイオン注入することができる。このドーピング処理はソース領域41およびドレイン領域42の比較的弱くドーブされた部分53を提供する。このドーピング処理中、ソース領域41を意図する表面5の部分をマスク層(図示せず)によって同様に遮蔽して、ドレイン領域42だけが比較的弱くドーブした部分53(42)を有するようになることができる。

1 7

1 6

次いで、例えば、約300nmの厚さを有する酸化珪素の絶縁層を半導体本体1の表面全体に堆積する。この絶縁層を通常の方法で異方性エッチングにより再び除去し、縁部部分43をゲート電極35の垂直縁部およびパターン11の垂直縁部36および38に沿って残す。フィールド絶縁体6のパターンの縁部、例えば縁部37および39が十分にきり立っている場合には、この絶縁層の絶縁部分はこれら縁部に沿って同様に維持される。簡単にするため、かかる縁部は図面に示していない。

上述の処理の結果、大きさを減じられた開口12および40が特に開口12'および40'の領域で得られる。

得られた構造上にマスク層44を設け、このマスク層は、例えば、フォトリソから成ることができる。このマスク層44により、ドーパントを、ソースおよびドレイン領域41および42または少なくともこれら41および42領域の弱くドーブした表面部分に局部的にイオン注入する。同時に、バイポーラトランジスタのエミッタ領域

1 8

14 (第2電極領域) のためのドーパントをイオン注入する。この工程において、浅いコレクタ接点領域15のためのドーパントを供給することができる。例えば、砒素イオンを約 $5 \times 10^{13} \text{ 1/cm}^2$ のドーパ量および約40KeVのイオン注入エネルギーでイオン注入する。この処理の後、層44を除去する。

次のマスク層45 (第4A、B図) によって、ソースおよびドレイン領域41および42に関する開口および開口12を遮蔽することができ、ドーピング処理を行い、この場合、ドーパントを開口40に供給することができる。例えば、 BF_3 イオンを砒素をイオン注入するのに使用することができる。ドーパ量は約 $3 \times 10^{15} \text{ 1/cm}^2$ とすることができ、イオン注入エネルギーは、例えば、約65KeVである。このドーパントは更に高くドーピングしたベース接点領域46(9)を設けるのに役立つ。このドーピング処理中、所要に応じて、p型チャネルを有する電界効果トランジスタのソースおよびドレイン領域のためのドーパントを半導体本体1に同様に供給

することができる。このドーピング処理の後、層45を除去する。また、このドーピング処理中において、縁部部分43を具えるパターン11をドーピングマスクとして使用し、パターン11はドーピング開口40の縁部を面成し第2電極領域14に面する。

次の処理は絶縁層16を設けることにある (第5A、B図)。例えば、酸化珪素を約500nmの厚さで堆積する。好ましくは、層16の厚さは100~150nmより薄くない。絶縁層16は本発明の方法における第2絶縁層を構成する。層16を設けた後に、例えば、約925℃の温度で約1時間アニール処理を行う。この処理により、所要に応じて、供給したドーパントを活性化する。

マスク層48を絶縁層16上に設け、このマスク層は例えば、フォトリソグラフィから構成することができ、一方、第2開口49および50をこのマスク層に設ける。本発明の範囲内で、第2電極領域14の上方に位置する第2開口50は特に重要である。この第2開口50を、パターン11の縁部36から派生される第1開口12の縁部36即ち、縁部部分43により境

19

20

界をつけられる第1開口12の部分が少なくとも一部分第2開口50内に配置されるように位置させる。

次いで、半導体本体1を異方性エッチング処理で処理し、この処理で開口が第2絶縁層16において得られるが、また所要に応じて、開口49および50中に配置した第1絶縁層34の部分を除去する。特に、ゲート電極35の上方に配置した開口49のみを図示してある。具体例において、この開口49はトランジスタのチャネル領域の上方でなく、トランジスタのそばに示す断面図の外側でかつフィールド絶縁体6の上方に位置する。開口50の中で、第2絶縁層16の縁部部分17(16)を第1開口12の縁部に沿って残す。

記載した方法の変形において、開口12および40 (第3A、B図) を得るエッチング処理に際してエッチングを、これら開口12および40に位置する第1絶縁層34の部分が同様に除去されるような長時間続行する。この場合、このエッチング処理に続く上述のドーピング処理を適応するイオン注入エネルギーを用いて行うことができる。

21

第2絶縁層16をエッチングした後に、マスク層48を除去することができ、好適な物質、例えば、アルミニウムの導電層を設けることができる (第6A、B図)。通常の方法で、この導電層から、コレクタ領域32、8、15の接続のための導電層19、ベース領域9、46の接続のための導電層21、エミッタ領域14の接続のための導電層22、ソース領域41およびドレイン領域42の接続のための導電層51およびゲート電極35の接続のための導電層52を形成することができる。特に、この結果は、エミッタ領域14の接続のための導電層22がエミッタ領域14の第2表面部分23(5)上に位置し、該第2表面部分23(5)は縁部36から派生している第1開口12の縁部が少なくとも第2開口50内に位置する領域で延び、実際には第1開口の縁部の領域まで延びる。エミッタ領域14の表面部分23(5)は少なくともこの領域でドーピング開口12と実際に同じ大きさである。エミッタ領域14のための接点開口は通常の整列誤差を考慮することなくドーピング開口12から派生している。

22

本発明の方法を用いると、比較的浅い深さに位置するpn接合24により第1電極またはベース領域9から分離される極めて小さな第2電極またはエミッタ領域を使用することが可能となる。設けられた縁部部分17(16)は浅い深さに位置するこのpn接合24が表面5において導電層22によって短絡されるのを防ぐ。

この例は好適例であり、この場合第2表面領域32は第2導電型であり、第1電極領域9は第1導電型で第2表面領域32に位置し第1ドーピング処理を行い第2導電型の第2電極領域14を第1導電型の第1電極領域9によって、第1電極領域9に隣接している第2導電型の第2表面領域32の部分から分離する。形成された他の回路素子14、9、32は垂直に構成されたバイポーラトランジスタである。

また、第2電極領域14は、横方向に構成されたバイポーラトランジスタの主要な電極領域の1個とすることが可能であり、第1電極領域はこのトランジスタの制御電極領域(ベース領域)を構成

する。特に最後に挙げた例では、第1電極領域をエピタキシャル層の一部とすることができ、所要に応じて、これを半導体本体の隣接部分から分離することができる。

また、他の回路素子を一ノード領域とカソード領域を有するダイオードまたはpn接合電界効果トランジスタとすることができ、第2電極領域は、例えばゲート電極を構成する。

好ましくは、導電材料のパターン11の下方に配置した第1絶縁層34はゲート誘電体と実際に同じ厚さであり、ゲート誘電体とともに同時に得られ、該誘電体は第1表面領域31から電界効果トランジスタ41、35、42のゲート電極35を分離する。この絶縁層34の厚さは、例えば約20~50nmである。

耐熱性導電材料のパターンは導電パターン11として都合よく使用される。好ましくは、パターン11は、チタン、タンタル、タングステン、モリブデン、半導体材料およびこれら材料の珪化物を有する群から選択した1種以上の物質から形成される。

2 3

例において、第2絶縁層16の第2開口50中の導電材料のパターン11は導電層22に、直接導電的に接続される。しかし、変形例で述べたように例えば、窒化珪素または酸化珪素を導電パターン11上に使用する場合、および開口50中のこの窒化物または酸化物層を除去しない場合は、パターン11および導電層22を互いに分離する。かかる構造において、導電パターン11は、絶縁層16の他の開口を介して好適に選定した領域(図示せず)に導電接続体う具えることができ、この場合、窒化物または酸化物層はもちろん除去される。例えば、導電パターン11を導電層21にこの方法で接続することができる。

本発明は記載した例に限定されるものではない。本発明の範囲内で、当業者には種々の変形が可能である。例えば、珪素以外の半導体材料、例えば、 III-V 化合物を使用することができる。更に、記載した導電型を逆にすることができ、他の通常のドーパントを使用することができる。導電材料として、例えば、オキシ窒化

2 5

2 4

物も好適である。ゲート電極のためおよびパターンに対して、半導体材料を用いる場合には、これを任意にnまたはp型のドーピングすることができ、一方、所要に応じて、更にそれを好適な珪化物に全体的にまたは部分的に添加することができる。通常の方法で若干の半導体装置を半導体ウェッファに同時に形成し、次いで、該ウェッファを別々の半導体本体1に細分することができる。次いで、半導体装置を従来の容器に収容して通常の方法で完成することができる。

4. 図面の簡単な説明

第1Aおよび1B図は第1の製造工程中の半導体装置の種々の部分の断面図、

第2Aおよび2B図は夫々、第1Aおよび1B図に示す部分の平面図、

第3Aおよび3B図~第6Aおよび6B図は製造の工程におけるこれら部分の断面図である。

- | | |
|----------------------|--------------|
| 1...半導体 | 2...基板領域(P型) |
| 5...半導体の表面 | 6...フィールド絶縁体 |
| 8...深い接点領域(コレクタ接点領域) | |

2 6

- 9…P型ベース領域(第1電極領域、第1導電型)
 10(5)…表面5の第1部分
 11…導電材料のパターン
 12^{*}, 40^{*}…開口
 12…第1開口(ドーピング開口)
 14…エミッタ領域(第2電極領域)
 15…浅いコレクタ接点領域
 16…第2絶縁層
 19, 21, 22, 51, 52…導電層
 23(5)…14の第2表面部分
 24…pn接合
 31…第1表面領域(P型)
 32…第2表面領域(コレクタ領域、第2導電型(n型))
 33…p型チャネルストッパー領域
 34…第1絶縁層
 35…ゲート電極
 36, 37…開口12^{*}の縁部
 38, 39…開口40^{*}の縁部
 40…ドーピング開口
 41…ソース領域
 42…ドレイン領域
 44, 45, 48…マスク層
 46…ベース領域
 46(9)…更に高くドーブしたベース接点領域
 49, 50…第2開口
 53(41), 53(42)…比較的弱くドーブした部分

特許出願人 エヌ・ペー・フィリップス・フルーイランベンツファブリケン

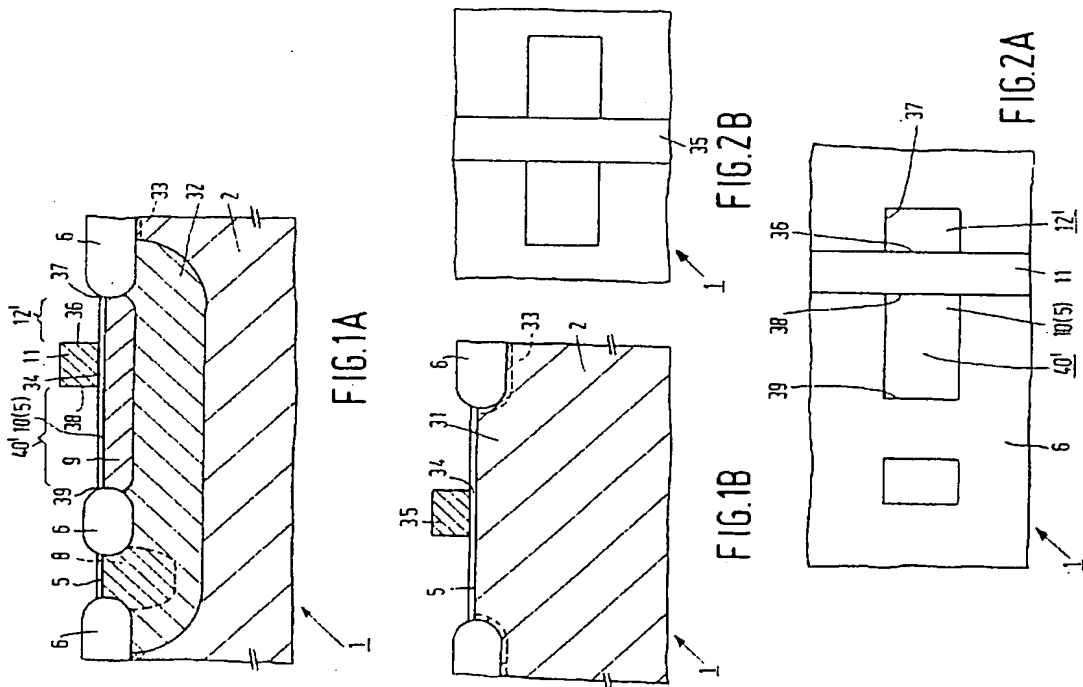
代理人 弁理士 杉 村 曉 秀

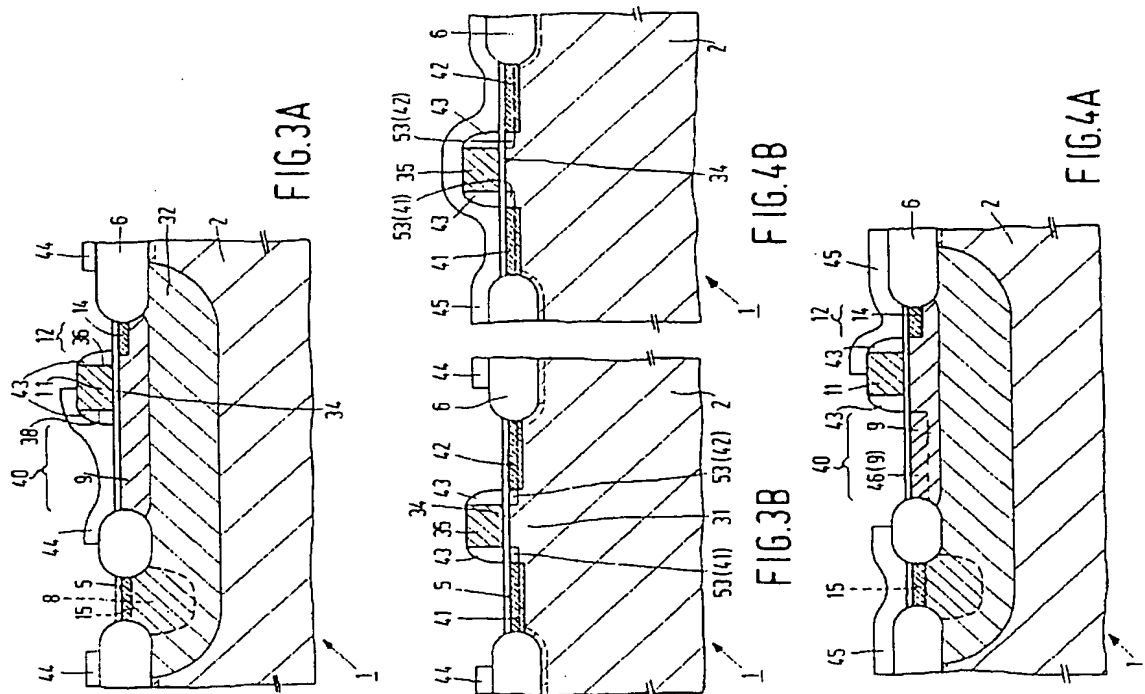
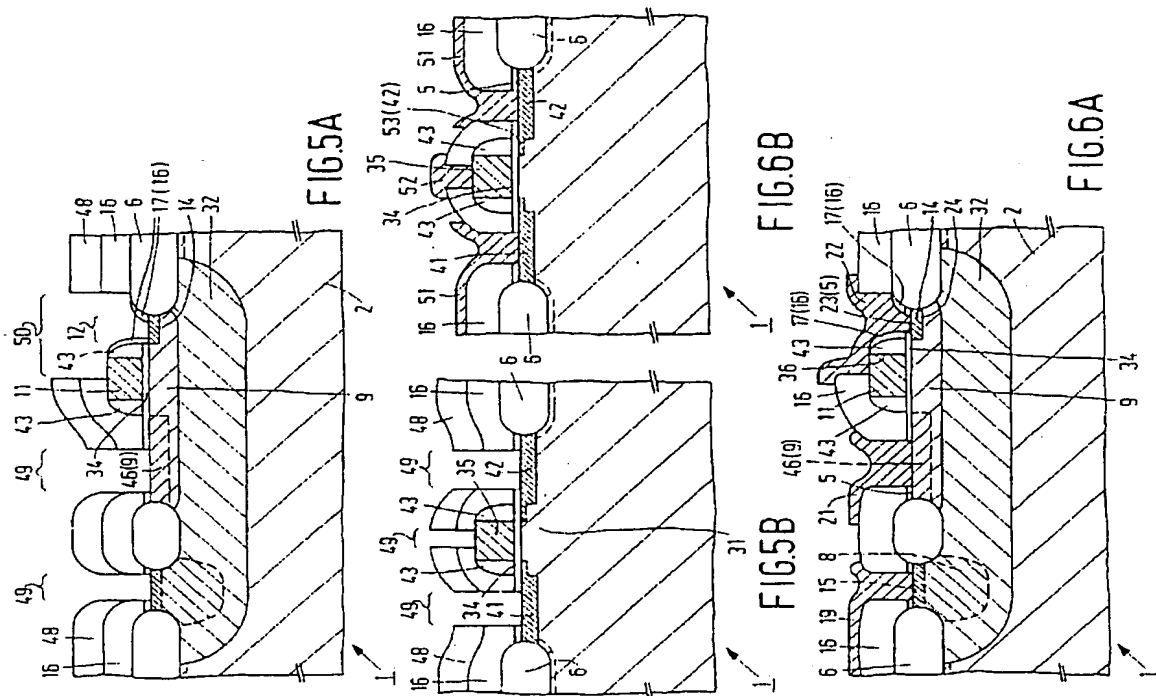
同 弁理士 杉 村 興 作



27

28





手続補正書

昭和62年 6月16日

特許庁長官 黒田 明 雄 殿

1. 事件の表示

昭和62年 特許願第 70515 号

2. 発明の名称

集積回路の製造方法

3. 補正をする者

事件との関係 特許出願人

名称 エヌ・ペー・フィリップス・
フルーイランペンファブリケン

4. 代理人

住所 東京都千代田区霞が関三丁目2番4号
森山ビルディング7階 電話(581)2241 番(代表)

氏名 (5925)弁理士 杉 村 暁 秀

住所 東京都千代田区霞が関三丁目2番4号
森山ビルディング7階 電話(581)2241 番(代表)

氏名 (7205)弁理士 杉 村 興 作

5. 補正の対象 明細書全文、図面

6. 補正の内容(別紙の通り)

図面中第6A図を別紙訂正図の通りに訂正する。

域に対するドーパントを設けるための第1ドーピング処理に用いるべき第1開口の縁部の少なくとも第1部分を画成し、この第1開口内に位置する前記の第1絶縁層の一部分を除去し、前記の第1ドーピング処理により、前記の第2電極領域と電界効果トランジスタの前記のソースおよびドレイン領域とに対し同時にドーパントを設け、前記パターン上および前記の第1開口内に絶縁材料より成る第2絶縁層を設け、この第2絶縁層を、第2開口を有するマスク層を用いて局部的に除去し、前記の第2電極領域の表面である第2表面部分上に位置しこの第2電極領域を電気接続する導電層を設けるようにする集積回路の製造方法において、前記の第2絶縁層を局部的に除去する工程に際し、前記の第2電極領域の上方に第2開口を位置させて前記の第1開口の縁部の前記の第1部分が少なくとも部分的にこの第2開口内に位置するようにし、前記第2絶縁層を局部的に除去するこの工程を、

(訂正) 明 細 書

1. 発明の名称 集積回路の製造方法

2. 特許請求の範囲

1. 第1および第2表面領域が隣接する表面を有する半導体本体を具える集積回路であって、前記の第1表面領域は第1導電型であって絶縁ゲートと第2導電型のソースおよびドレイン領域とを有する少なくとも1個の電界効果トランジスタを設けるためのものであり、前記第2表面領域は、前記の表面に隣接しこの表面の第1表面部分を占める第1電極領域と、前記の第1表面部分内で前記表面に隣接し前記の第1電極領域の導電型とは逆の導電型を有する第2電極領域とを有する少なくとも1個の他の回路素子を設けるためのものである集積回路の製造方法であって、前記の第1電極領域の少なくとも一部分の上方で、既に存在する第1絶縁層上に導電材料のパターンを電界効果トランジスタのゲート電極と同時に設け、このパターンにより、前記の第2電極領

- 1 -

前記の第2の開口内に位置する前記パターンの縁部の部分に沿って位置する前記の第2絶縁層の縁部部分が前記の第1開口内で除去されないように異方性エッチングにより行い、その後前記の第2表面部分が実質的に、前記の第1開口の縁部が前記の第2開口内に位置する領域でこの第1開口の縁部まで延在するように前記の導電層を設けることを特徴とする集積回路の製造方法。

2. 前記の第2表面領域を第2導電型とし、前記の第1電極領域を第1導電型として前記の第2表面領域に位置させ、前記の第1ドーピング処理を、第2導電型の第2電極領域が第1導電型の第1電極領域によりこの第1電極領域に隣接する第2導電型の第2表面領域の部分から分離されるように行う特許請求の範囲第1項記載の製造方法。
3. 電界効果トランジスタのゲートを前記の第1表面領域から分離するために、前記の第1絶縁層と同時に他の絶縁層を設ける特許請求

- 3 -

- 2 -

の範囲第1または2項に記載の製造方法。

4. 前記の導電材料のパターンとして耐熱材料のパターンを用いる特許請求の範囲第1、2または3項のいずれが1つの項に記載の製造方法。

5. 前記導電材料のパターンとしてチタン、タングステン、モリブデン、タングステン、半導体材料およびこれらの材料の珪化物を有する群から選択した1種以上の材料をもって形成されるパターンを用いることを特徴とする特許請求の範囲第1、2または3項のいずれか1つの項に記載の製造方法。

3. 発明の詳細な説明

本発明は、第1および第2表面領域が隣接する表面を有する半導体本体を具える集積回路であって、前記の第1表面領域は第1導電型であって絶縁ゲートと第2導電型のソースおよびドレイン領域とを有する少なくとも1個の電界効果トランジスタを設けるためのものであり、前記第2表面領域は、前記の表面に隣接しこの表面の第1表面部

分を占める第1電極領域と、前記の第1表面部分内で前記の表面に隣接し前記の第1電極領域の導電型とは逆の導電型を有する第2電極領域とを有する少なくとも1個の他の回路素子を設けるためのものである集積回路の製造方法であって、前記の第1電極領域の少なくとも一部分の上方で、既に存在する第1絶縁層上に導電材料のパターンを電界効果トランジスタのゲート電極と同時に設け、このパターンにより、前記の第2電極領域に対するドーパントを設けるための第1ドーピング処理に用いるべき第1開口の縁部の少なくとも第1部分を画成し、この第1開口内に位置する前記の第1絶縁層を除去し、前記の第1ドーピング処理により、前記の第2電極領域と電界効果トランジスタの前記のソースおよびドレイン領域とに対し同時にドーパントを設け、前記パターン上および前記の第1開口内に絶縁材料より成る第2絶縁層を設け、この第2絶縁層を、第2開口を有するマスク層を用いて局部的に除去し、前記の第2電極領域の表面である第2表面部分上に位置しこの第2

- 4 -

電極領域を電気接続する導電層を設けるようにする集積回路の製造方法に関するものである。

かかる方法は、西独特許出願公開(DE - A)第3023616号明細書から知られており、これは1981年1月22日に出願公開されている。この場合、電界効果トランジスタ以外にラテラルバイポーラトランジスタが形成され、これのベース領域は第1電極領域を構成しエミッタ領域は第2電極領域を構成する一方で、エミッタ領域とコレクタ領域の間に位置するベース領域部分は絶縁層上に位置する導電パターンで被覆されており、この導電パターンは環状のエミッタ領域を包囲しており、エミッタ領域の電気接続部に接続することができる。この導電パターンは表面における電荷キャリアがベース領域の下側部分で再結合するのを減少させる作用をする。バイポーラトランジスタはこのように、エミッタ領域およびコレクタ領域の電気接続部を比較的小さな相対距離で設け得るもこれと同時に導電層を前記のベース領域部分の上方に形成し得るように製造されている。この構造では、

- 5 -

エミッタおよび/またはコレクタ接続部がベース領域の上方に配置された導電パターンに重なることができるという事実のために、面積を節約することができる。

本発明の目的は、特に、電界効果トランジスタと、バイポーラ回路素子、特に、バイポーラトランジスタとを具えた集積回路の製造に際して比較的小さな電極領域をこれらバイポーラ回路素子に使用することができる方法を提供することにある。

バイポーラ回路素子における比較的小さな電極領域を形成する既知の方法では、まず最初に絶縁層の開口を、半導体本体中の関連の小さな電極領域に対するドーパントを与えるためのドーピング開口として使用し、次いで、導電層の形態で設けたこの電極領域に対する電気接続部をこの電極領域に接続するための接点開口としても使用している。この場合、ドーピング開口に対する通常の位置決め誤差は接点開口を設ける場合に考慮する必要がない。この方法は、例えば、いわゆる「ウォッシュドアウト(Washed-out)」エミッタに使用

- 6 -

- 7 -

される。

電界効果トランジスタを有する集積回路の製造に最も頻りに使用する方法においては、ゲート電極は、ソースおよびドレイン領域に対するドーパントを供給する際のマスクとして使用される。後の処理工程では、接点開口が、マスクによりソースおよびドレイン領域の上方に設けられる。また、これら集積回路が、ソースおよびドレイン領域と同時に設けられる電極領域を有するバイポーラ回路素子をも有する場合には、この回路素子においても、接点開口に対するパターンを関連の電極領域に対して位置決めする必要がある。従って、「ウッシュドアウト」エミッタを用いた上述した方法は、この処理に使用するのに適していない。

「ウオッシュドアウト」エミッタを用いた上述した方法の他の欠点は、集積回路の寸法が小さくなり、従って電極領域が浅くなるので、関連の電極領域を制限するpn接合が、電極領域の電気接続部より接点開口内で短絡するおそれが増大するという点である。かかる短絡は、特に、ドーピン

グ処理後で電気接続部を形成する前にドーピング開口を洗浄にする必要があるという事実によるものである。また、ドーピング開口の縁部も、この洗浄またはウッシング工程中にわずかにエッチングされることは実際問題として避けられないことである。

従って、本発明の更に他の目的は、比較的小さな電極領域の使用に関連する上述の欠点を少なくとも著しく低減することにある。

本発明は特に、バイポーラトランジスタのようなバイポーラ回路素子におけるソースおよびドレイン領域に対しドーピングを行う工程中、ゲート電極が通常のようにマスクとして用いられる方法においても必要な個所で接点開口を形成するための位置決め誤差を実際になくすることができるという事実の認識のもとになしたものである。

本発明において、序文に記載した種類の方法は、前記の第2絶縁層を局部的に除去する工程に際し、前記の第2電極領域の上方に第2開口を位置させて前記の第1開口の縁部の前記の第1部分が少なくとも部分的にこの第2開口内に位置するように

- 8 -

し、前記第2絶縁層を局部的に除去するこの工程を、前記の第2の開口内に位置する前記パターンの縁部の部分に沿って位置する前記の第2絶縁層の縁部部分が前記の第1開口内で除去されないように異方性エッチングにより行い、その後前記の第2表面部分が実際に、前記の第1開口の縁部が前記の第2開口内に位置する領域でこの第1開口の縁部まで延在するように前記の導電層を設けることを特徴とする。

この本発明の方法においては、電界効果トランジスタのゲート電極を形成すると同じ処理工程で、第1電極領域から絶縁層により分離される導電パターンが、主としてバイポーラ回路素子である他の回路素子に設けられる。この導電パターンは、必要な個所で第2電極領域を設けるためのドーピング開口の境界の一部または全体を画成するのに使用される。ドーピング処理を行った後、堆積した絶縁層を、この絶縁層の縁部が前記の境界に沿って残るように異方性エッチングにより局部的に除去することにより、第2電極領域に対する接点

- 10 -

- 9 -

開口を前記の導電パターンより画成されたドーピング開口の境界を基に形成する。従って、即ち、接点開口をドーピング開口を基に形成するという事実のために、この接点開口の場合、ドーピング開口に対する位置決め誤差を考慮する必要がなくなる。更に、接点開口がドーピング開口よりも小くなるという利点を得られる。従って、極めて浅い深さにあるpn接合も、第2電極領域に対する導電接続部を設ける際に満足に表面安定化状態に維持される。

第2表面部分が第1開口の縁部まで実質的に延在する限り、接点開口はドーピング開口と実質的に同じ大きさである。ここに、「実質的に同じ大きさ」とは、通常の位置決め誤差を考慮することなく接点開口をドーピング開口の縁部の関連部分を基に形成するということを意味する。

本発明の方法の特定の好適例においては、前記の第2表面領域を第2導電型とし、前記の第1電極領域を第1導電型として、前記の第2表面領域に位置させ、前記の第1ドーピング処理を、第2

- 11 -

導電型の第2電極領域が第1導電型の第1電極領域によりこの第1電極領域に隣接する第2導電型の第2表面領域の部分から分離されるように行う。このようにして得た構造では垂直に構成したバイポーラトランジスタを他の回路素子として構成することができる。

前記の第1絶縁層は、電界効果トランジスタのゲート電極を前記の第1表面領域から分離するための他の絶縁層と同時に設けるのが有利である。このようにすることにより、第1絶縁層を、集積回路の製造に際して追加の処理工程を必要とすることなく得ることができる。

本発明の方法の他の好適例は、耐熱材料のパターンを導電パターンとして使用することの特徴とする。

好ましくは、導電パターンは、チタン、タンタル、タングステン、モリブデン、半導体材料およびこれら材料の珪化物を有する群から選択した1種以上の材料から形成する。

さらに、本発明は、本発明の方法によって製造

した半導体装置に関するものである。

本発明を図面を参照しつつ実施例により更に詳細に説明する。

図示する例は、絶縁ゲートを有する電界効果トランジスタ（このトランジスタはn型チャネルまたはp型チャネルを有することができる）およびパーティカル構造を有する1個以上のバイポーラトランジスタを具えた集積回路である。明瞭にするために、第1A、B〜G A、B図夫々にn型チャネルを有する電界効果トランジスタおよびパーティカルnpnトランジスタのみを示し、各々の場合、図を2個の部分AとBに分け、それらは同じ共通の半導体本体1の種々の部分を示す。A部分はバイポーラトランジスタ、B部分は電界効果トランジスタに関するものである。

第1A、B図は半導体本体1を示し、この半導体本体は例えば、p型の珪素基板または基板領域2を有し、通常の方法で設けた適切に選定したドーピング濃度分布を有する1個以上のn型表面領域32を具える。表面領域32は、例えば、イオン注

- 1 2 -

入により得ることができるが、所要に応じて、まずドーピングの一部を基板に施し、しかる後p型のエピタキシャル層を成長させることができ、次いで、図示せぬエピタキシャル層において、半導体本体1の表面5を介して更に他のドーピングを施すことができる。

n型表面領域32以外に、基板2のp型表面領域31のドーピング濃度分布を、例えば通常の方法でイオン注入により、形成すべき回路素子および所望の電気的性質に应用することができる。

更に、半導体本体1に通常の方法で、深い接点領域8、p型チャネルストッパー領域33およびフィールド絶縁体6のパターンを設けることができる。後者のパターンを例えば、半導体本体の局所的な酸化により得ることができる。この場合、パターンは酸化珪素から成る。フィールド絶縁体の他の従来の形態は例えば、充填された溝であり、これも同様に使用できる。フィールド絶縁体6はトランジスタが形成されるべき活性領域を表面5において限定する。例えば、半導体本体1は絶縁

- 1 4 -

- 1 3 -

ゲート電極およびp型チャネルを有する1個以上の電界効果トランジスタを従来の方法で設けるべき1個以上のn型表面領域32を有することができる（図示せず）。電界効果トランジスタを設けるべき表面領域32では、深い接点領域8を省略することができる。

活性領域において表面5は絶縁層34を具え、この層は電界効果トランジスタのゲート電極用の誘電体層として使用するのに適する。例えば、層34は半導体本体1の熱酸化により得られる。層34の厚さは、例えば、25〜50nmとすることができる。次いで、フォトリソマスキング（図示せず）によって、p型ベース領域9（第1電極領域）のためのドーパントを表面領域32の一部分にイオン注入する。

好ましいドーズ量は、例えば、約 1×10^{14} 硼素原子/cm²である。イオン注入エネルギーは、例えば、約30keVである。ベース領域9は表面5の第1部分10(5)を占める。次いで、例えば、多結晶質または非晶質珪素またはチタン、タンタル、

- 1 5 -

モリブデンまたはタングステンの導電層を設ける。導電層として珪素層を使用する場合には、この層を堆積中またはその後に、通常の方法で例えば、 PH_3 によってドーピングすることができる。

かかる珪素層の厚さは、例えば500nmである。また、この層からゲート電極35以外に導電材料のパターン11をも形成し、該パターンはすでに存在する第1絶縁層34上でベース領域9の上方に配置する。パターン11は、開口12'の縁部36、37の少なくとも第1部分36を画成する(第2A、B図も参照のこと)。開口12'の縁部36、37の残りの部分37は、例えば、フィールド絶縁体6のパターンの縁部の部分と実際に一致する。開口12'はパターン11によって全体的に画成することもできる。この場合、パターン11は、例えば、環状または少なくとも閉図形であり、縁部36はベース領域の上方のフィールド絶縁体6のパターンの縁部からある距離で周囲全体に位置する。

本例において、パターン11はまた他の開口40'の縁部38、39の部分38を画成し、該開口は開口

12'の側方の第1表面部分10(5)の上方に配置する。この縁部38、39の残りの部分39はフィールド絶縁体6のパターンの縁部の一部分と実際に一致する。

他の絶縁層を導電層上に設け、次いでこの絶縁層を導電層と同時にパターン化する場合には、ゲート電極35およびパターン11は上側部で絶縁層(図示せず)で被覆される。この絶縁層は、例えば、窒化珪素または酸化窒素を有することができる。

ゲート電極35およびパターン11を得た後、電界効果トランジスタのソースおよびドレイン領域41および42のためのドーピングを好ましくは表面領域31に局部的に施す(第3A、B図)。例えば、量を約 $1 \times 10^{12}/\text{cm}^2$ のドーズ量および約60KeVのイオン注入エネルギーでイオン注入することができる。このドーピング処理はソース領域41およびドレイン領域42の比較的弱くドーピングされた部分53を提供する。このドーピング処理中、ソース領域41を意図する表面5の部分にマスク層(図示せ

- 16 -

ず)によって遮蔽して、ドレイン領域42だけが比較的弱くドーピングされた部分53(42)を有するようにすることもできる。

次いで、例えば、約300nmの厚さを有する酸化珪素の絶縁層を半導体本体1の表面全体に堆積する。この絶縁層を通常の方法で異方性エッチングにより再び除去し、縁部部分43をゲート電極35の垂直縁部およびパターン11の垂直縁部36および38に沿って残す。フィールド絶縁体6のパターンの縁部、例えば縁部37および39が十分にきり立っている場合には、この絶縁層の縁部部分はこれら縁部に沿って同様に維持される。簡単にするため、かかる縁部部分は図面に示していない。

上述の処理の結果、大きさを減じられた開口12および40が特に開口12'および40'の領域で得られる。

得られた構造上にマスク層44を設け、このマスク層は、例えば、フォトリソグラフィから成ることができ開口40を被覆する。このマスク層44により、ドーパントを、ソースおよびドレイン領域41およ

- 17 -

び42または少なくともこれら41および42領域の高ドーピング表面部分に局部的にイオン注入する。同時に、バイポーラトランジスタのエミッタ領域14

(第2電極領域)のためのドーパントをイオン注入する。この工程において、浅いコレクタ接点領域15のためのドーパントを供給することができる。例えば、砒素イオンを約 $5 \times 10^{12}/\text{cm}^2$ のドーズ量および約40KeVのイオン注入エネルギーでイオン注入する。この処理の後、層44を除去する。

次のマスク層45(第4A、B図)によって、ソースおよびドレイン領域41および42に関する開口および開口12を遮蔽することができ、ドーピング処理を行い、この場合、ドーパントを開口40に供給することができる。例えば、BF₃イオンを砒素をイオン注入するのに使用することができる。ドーズ量は約 $3 \times 10^{12}/\text{cm}^2$ とすることができ、イオン注入エネルギーは、例えば、約65KeVである。このドーパントは更に高くドーピングされたベース接点領域46(9)を設けるのに役立つ。このドーピング処理中、所要に応じて、p型チャネルを有する電

- 18 -

- 19 -

界効果トランジスタのソースおよびドレイン領域のためのドーパントを半導体本体1に同様に供給することができる。このドーピング処理の後、層45を除去する。また、このドーピング処理中において、縁部部分43を具えるパターン11がドーピングマスクとして使用され、このパターン11が第2電極領域14に面する側のドーピング開口40の縁部を画成する。

次の処理は絶縁層16を設けることにある(第5A, B図)。例えば、酸化珪素を約500nmの厚さで堆積する。好ましくは、層16の厚さは100~150nmより薄くない。絶縁層16は本発明の方法における第2絶縁層を構成する。層16を設けた後に、例えば、約925℃の温度で約1時間アニール処理を行う。この処理により、所要に応じて、供給したドーパントを活性化する。

マスク層48を絶縁層16上に設け、このマスク層は例えば、フォトリソistから構成することができる。一方、第2開口49および50をこのマスク層に設ける。本発明の範囲内で、第2電極領域14の上

方に位置する第2開口50は特に重要である。この第2開口50を、パターン11の縁部36を基に得られる第1開口12の縁部即ち、縁部部分43により境界をつけられる第1開口12の部分が少なくとも一部分第2開口50内に配置されるように位置させる。

次いで、半導体本体1を異方性エッチング処理で処理し、この処理で開口が第2絶縁層16において得られるが、また所要に応じて、開口49および50中に配置した第1絶縁層34の部分を除去する。特に、ゲート電極35の上方に配置した開口49のみを図示してある。具体例において、この開口49はその殆どがトランジスタのチャネル領域の上方でなく、トランジスタの側方外部のフィールド絶縁体6の上方に位置する。開口50の中で、第2絶縁層16の縁部部分17(16)を第1開口12の縁部に沿って残す。

記載した方法の変形において、開口12および40(第3A, B図)を得るエッチング処理に際してエッチングを、これら開口12および40に位置する第1絶縁層34の部分が同様に除去されるような長

- 2 0 -

時間続行する。この場合、このエッチング処理に続く上述のドーピング処理、を適応するイオン注入エネルギーを用いて行うことができる。

第2絶縁層16をエッチングした後に、マスク層48を除去することができ、好適な材料、例えば、アルミニウムの導電層を設けることができる(第6A, B図)。通常の方法で、この導電層から、コレクタ領域32, 8, 15の接続のための導電層19、ベース領域9, 46の接続のための導電層21、エミッタ領域14の接続のための導電層22、ソース領域41およびドレイン領域42の接続のための導電層51およびゲート電極35の接続のための導電層52を形成することができる。特に、この結果、エミッタ領域14の接続のための導電層22がエミッタ領域14の第2表面部分23(5)上に位置し、該第2表面部分23(5)は縁部36に基づいて得られる第1開口12の縁部が少なくとも第2開口50内に位置する領域で実質的に第1開口の縁部まで延びる。エミッタ領域14の表面部分23(5)は少なくともこの領域でドーピング開口12と実質的に同じ大きさである。

- 2 2 -

- 2 1 -

エミッタ領域14のための接点開口は通常的位置決め誤差を考慮することなくドーピング開口12に基づいて得られる。

本発明の方法を用いると、比較的浅い深さに位置するpn接合24により第1電極またはベース領域9から分離される極めて小さな第2電極またはエミッタ領域を使用することが可能となる。設けられた縁部部分17(16)は浅い深さに位置するこのpn接合24が表面5において導電層22によって短絡されるのを防ぐ。

この例は好適例であり、この場合第2表面領域32は第2導電型であり、第1電極領域9は第1導電型で第2表面領域32に位置し、第1ドーピング処理は、第2導電型の第2電極領域14が第1導電型の第1電極領域9によって、第1電極領域9に隣接している第2導電型の第2表面領域32の部分から分離されるように行なっている。形成された他の同子素子14, 9, 32はパーティカル構造のバイポーラトランジスタである。

また、第2電極領域14は、ラテラル構造のバイ

- 2 3 -

ポーラトランジスタの主電極領域の1個とすることが可能であり、第1電極領域はこのトランジスタの側面電極領域(ベース領域)を構成する。特に最後に挙げた例では、第1電極領域をエピタキシャル層の一部とすることができ、所要に応じて、これを半導体本体の隣接部分から分離することができる。

また、他の回路素子をアノード領域とカソード領域を有するダイオードまたはpn接合電界効果トランジスタとすることができ、第2電極領域は、例えばゲート電極を構成する。

好ましくは、導電材料のパターン11の下方に配置した第1絶縁層34はゲート誘電体と実際と同じ厚さであり、ゲート誘電体とともに同時に得られ、該誘電体は第1表面領域31から電界効果トランジスタ41、35、42のゲート電極35を分離する。この絶縁層34の厚さは、例えば約20~50nmである。

耐熱性導電材料のパターンは導電パターン11として都合よく使用される。好ましくは、パターン11は、チタン、タンタル、タングステン、モリブ

デン、半導体材料およびこれら材料の珪化物を有する群から選択した1種以上の物質から形成される。

例において、第2絶縁層16の第2開口50中の導電材料のパターン11は導電層22に、直接導電的に接続される。しかし、変形例で述べたように例えば、窒化珪素または酸化珪素を導電パターン11上に使用する場合、および開口50中のこの窒化物または酸化物層を除去しない場合は、パターン11および導電層22を互いに分離する。かかる構造において、導電パターン11には、好適に選定した領域(図示せず)で窒化物または酸化物を除去して得られた絶縁層16の他の開口を介して導電接続体を設けることができる。例えば、導電パターン11を導電層21にこの方法で接続することができる。

本発明は記載した例に限定されるものではない。本発明の範囲内で、当業者には種々の変形が可能である。例えば、珪素以外の半導体材料、例えば、ゲルマニウムおよびA^{III}B^V化合物を使用することができる。更に、記載した導電型を逆にするこ

- 2 4 -

とができ、他の通常のドーパントを使用することができる。導電材料として、例えば、オキシ窒化物も好適である。ゲート電極のためおよびパターンに対して、半導体材料を用いる場合には、これを任意にnまたはp型のドーピングすることができ、一方、所要に応じて、更にそれを好適な珪化物に全体的にまたは部分的に添加することができる。通常の方法で若干の半導体装置を半導体ウェッファに同時に形成し、次いで、該ウェッファを別々の半導体本体1に細分することができる。次いで、半導体装置を従来の容器に収容して通常の方法で完成することができる。

4. 図面の簡単な説明

第1Aおよび1B図は第1の製造工程中の半導体装置の種々の部分の断面図、

第2Aおよび2B図は夫々、第1Aおよび1B図に示す部分の平面図、

第3Aおよび3B図~第6Aおよび6B図は製造の工程におけるこれら部分の断面図である。

1…半導体 2…基板領域(P型)

- 2 5 -

- 5…半導体の表面 6…フィールド絶縁体
- 8…深い接点領域(コレクタ接点領域)
- 9…P型ベース領域(第1電極領域、第1導電型)
- 10(5)…表面5の第1部分
- 11…導電材料のパターン
- 12', 40'…開口
- 12…第1開口(ドーピング開口)
- 14…エミッタ領域(第2電極領域)
- 15…浅いコレクタ接点領域
- 16…第2絶縁層
- 19, 21, 22, 51, 52…導電層
- 23(5)…14の第2表面部分
- 24…pn接合
- 31…第1表面領域(P型)
- 32…第2表面領域(コレクタ領域、第2導電型(n型))
- 33…p型チャネルストッパー領域
- 34…第1絶縁層 35…ゲート電極
- 36, 37…開口12'の縁部
- 38, 39…開口40'の縁部
- 40…ドーピング開口 41…ソース領域

- 2 6 -

- 2 7 -

42…ドレイン領域 44, 45, 48…マスク層
 46…ベース領域
 46(9) …更に高くドープしたベース接点領域
 49, 50…第2開口
 53(41), 53(42)… 比較的弱くドープした部分

特 許 出 願 人 エヌ・ペー・フィリップス・
 フルーイランベンファブリケン

代 理 人 弁 理 士 杉 村 曉 秀

同 弁 理 士 杉 村 興 作

(訂正図)

